

EAST - [Untitled1:1]

File View Edit Tools Window Help

Drafts
Pending
Active
L1:
L2:
L3:
L4:
L6:
Failed
(679)
Saved
Favorite
Tagged
UDC
Queue
Trash

PAT-NO: JP409027192A

DOCUMENT-IDENTIFIER: JP 09027192 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE: January 28, 1997

INVENTOR-INFORMATION:
NAME
MONMA, ATSUKO
MATSUMOTO, YOSHINORI
OOISHI, TSURATOKI

ASSIGNEE-INFORMATION:
NAME COUNTRY
HITACHI LTD N/A

APPL-NO: JP07194229

APPL-DATE: July 6, 1995

INT-CL (IPC): G11C011/401

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce power consumption by sampling a taken in internal signal during an operation period of a differential circuit and holding a sampled signal during a non-operation period of the differential circuit.

SOLUTION: An input signal IN is inputted to an input circuit DIFC2 synchronizing with a clock signal CLK, and the circuit is operated by a clock signal/ C-CLK intermittently. That is, in a differential amplifier circuit consisting of MOSFETQI-Q6, the clock signal/C-CLK is supplied to a gate of a current source MOSFETQ5 through an OR gate circuit G1. In this case, a circuit G1 is provided, and a control signal PWM is supplied with the clock signal/C-CLK. Thus, a sampling-hold function is provided for a circuit Buffer corresponding to that a differential amplifier circuit consisting of MOSFETQI-Q5 is operated intermittently by the signal/C-CLK.

COPYRIGHT: (C) 1997, JPO

BRS form IS&R form Image Text HTML

U	1	Document ID	Issue Date	Pages	Title	Current OR	Current XRef R
1	<input type="checkbox"/>	JP 09027192 A	19970128	21	SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE		

Hits Details HTML

Start Microsoft Office Shortcut Bar EAST [Untitled1:1] EAST Browser - L6: (1) "0...

#2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-27192

(43) 公開日 平成9年(1997)1月28日

(51) Int. Cl. ⁶

G11C 11/401

識別記号

庁内整理番号

F I

G11C 11/34

362

C

技術表示箇所

審査請求 未請求 請求項の数 9 F D (全21頁)

(21) 出願番号 特願平7-194229

(22) 出願日 平成7年(1995)7月6日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 門馬 敦子

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 松本 美紀

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 大石 貫時

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74) 代理人 弁理士 徳若 光政

(54) 【発明の名称】 半導体集積回路装置

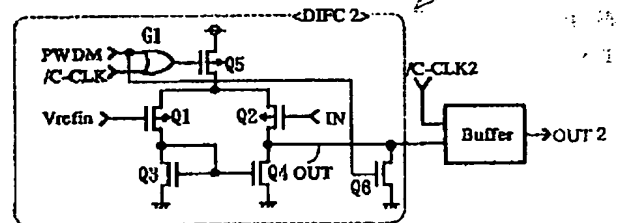
(57) 【要約】

【目的】 低振幅入力インターフェースの低消費電力化を図った半導体集積回路装置を提供する。

【構成】 クロック信号に同期して信号の入力又は出力が行われ、かつ外部に対しては電源電圧に対して小さな信号振幅にされた信号の授受を行うようにされた低振幅の入出力インターフェースを持つ半導体集積回路装置において、外部から供給されるクロック信号を受ける入力回路としては実質的に定常的に動作させられる差動回路で取り込み、上記クロック信号に同期して入力される低振幅の入力信号を受ける入力回路については、差動回路を上記クロック信号により間欠的に動作させ、かかる差動回路が動作期間中は取り込まれた内部信号を上記内部クロック信号によりサンプリングし、差動回路の非動作期間中は上記サンプリングした信号をホールドさせる。

【効果】 定常的に動作する必要のある入力回路を除いた他の多数の入力回路を間欠的に動作させることができるため、消費電流を大幅に低減することができる。

図3



*【特許請求の範囲】

【請求項 1】 クロック信号に同期して信号の入力又は出力が行われ、かつ外部に対しては電源電圧に対して小さな信号振幅にされた信号の授受を行うようにされた低振幅の入出力インターフェイスを持ち、上記入出力インターフェイスのうち、外部から供給されるクロック信号を受ける第 1 の入力回路は、上記低振幅の入力信号とかかる信号振幅のほぼ中間電位にされた基準電圧とがゲートに供給された差動 MOS F E T と、かかる差動 MOS F E T の共通ソースに設けられ実質的に定常的に動作させられる電流源 MOS F E T とを含み、上記低振幅の入力信号を電源電圧に対応した振幅の内部信号を形成するものであり、

上記クロック信号に同期して入力される低振幅の入力信号を受ける第 2 の入力回路は、上記低振幅の入力信号とかかる信号振幅のほぼ中間電位にされた基準電圧とがゲートに供給された差動 MOS F E T と、かかる差動 MOS F E T の共通ソースに設けられ上記第 1 の入力回路により取り込まれた内部クロック信号により間欠的に動作させられる電流源 MOS F E T とを含んで上記低振幅の入力信号を電源電圧に対応した振幅の内部信号を形成する入力部と、かかる入力部により取り込まれた内部信号を上記内部クロック信号により上記入力部が動作期間にサンプリングし、上記入力部が非動作期間に上記サンプリングした信号をホールドするバッファ回路からなることを特徴とする半導体集積回路装置。

【請求項 2】 クロック信号に同期して信号の入力又は出力が行われ、かつ外部に対しては電源電圧に対して小さな信号振幅にされた信号の授受を行うようにされた低振幅の入出力インターフェイスを持ち、

上記入出力インターフェイスのうち、外部から供給されるクロック信号を受ける第 1 の入力回路は、上記低振幅の入力信号とかかる信号振幅のほぼ中間電位にされた基準電圧とがゲートとソース間に供給された第 1 導電型の一對の入力 MOS F E T と、かかる一對の入力 MOS F E T のドレインに設けられ、一方の入力 MOS F E T のドレイン電流に対応した電流を他方の入力 MOS F E T のドレインに供給する第 2 導電型の MOS F E T からなる電流ミラー回路と、上記電流ミラー回路を構成する第 2 導電型の MOS F E T のソースに動作電流を供給する電流源 MOS F E T とを含み、上記低振幅の入力信号を電源電圧に対応した振幅の内部信号を形成するものであり、

上記クロック信号に同期して入力される低振幅の入力信号を受ける第 2 の入力回路は、上記第 1 の入力回路と同様な回路により構成されて上記電流源 MOS F E T が上記第 1 の入力回路により取り込まれた内部クロック信号により間欠的に動作させられて上記低振幅の入力信号を電源電圧に対応した振幅の内部信号を形成する入力部

と、かかる入力部により取り込まれた内部信号を上記内

部クロック信号により上記入力部が動作期間にサンプリングし、上記入力部が非動作期間に上記サンプリングした信号をホールドするバッファ回路からなることを特徴とする半導体集積回路装置。

【請求項 3】 上記半導体集積回路装置は、何も動作を行わない非動作モードを持ち、かかる非動作モードのときには上記第 1 の入力回路を構成する電流源 MOS F E T 及び上記第 2 の入力回路を構成する電流源 MOS F E T が共にオフ状態にされるものであることを特徴とする請求項 2 の半導体集積回路装置。

【請求項 4】 上記半導体集積回路装置は、シンクロナスタダイナミック型 RAM を構成するものであり、第 1 の入力回路はクロック信号とクロックイネーブル信号用の入力回路であり、第 2 の入力回路それ以外の制御信号及びアドレス入力信号及びデータ入力信号用の入力回路であることを特徴とする請求項 1、請求項 2 又は請求項 3 の半導体集積回路装置。

【請求項 5】 第 1 入力回路と第 2 入力回路とを有する半導体集積回路装置であって、

上記第 1 入力回路は、上記半導体集積回路装置の外部から供給された外部クロック信号と上記外部クロック信号の信号振幅のほぼ中間電位とされる第 1 基準電圧とをそのゲートに受ける一對の差動 MOS F E T と、上記一對の差動 MOS F E T のそれぞれのソースードレイン経路に電流を流す電流源回路とを含み、上記外部クロック信号の信号振幅よりも大きな信号振幅を有する内部クロック信号を形成し、

上記第 2 入力回路は、上記半導体集積回路装置の外部から供給された外部入力信号と上記外部入力信号の信号振幅のほぼ中間電位とされる第 2 基準電圧と上記外部クロック信号に応答する制御信号とを受け、上記制御信号に基づいて上記外部入力信号をラッチするラッチ回路を含み、上記ラッチ回路は、上記入力信号の信号振幅よりも大きな信号振幅を有する内部信号を形成することを特徴とする半導体集積回路装置。

【請求項 6】 上記半導体集積回路装置は、更に内部回路を含み、

上記ラッチ回路は、相補信号を出力する第 1 端子及び第 2 端子を有し、

上記第 2 入力回路は、上記第 1 端子及び第 2 端子に結合された一對の信号線と、上記外部入力信号及び上記第 2 基準電圧を上記一對の信号線のそれぞれに伝送する第 1 伝送ゲート回路と、上記一對の信号線の電位を上記内部回路に伝送する第 2 伝送ゲート回路と、上記一對の信号線の電位を上記第 2 基準電圧にプリチャージするプリチャージ回路とを更に含むことを特徴とする請求項 5 の半導体集積回路装置。

【請求項 7】 上記制御信号は、上記外部クロック信号が第 1 レベルから第 2 レベルに変化した事に応答して形成される第 1 パルス信号と、上記外部クロック信号が第

1 レベルから第 2 レベルに変化した事に応答し、且つ上記第 1 パルス信号が形成された後に形成される第 2 パルス信号とを含み、

上記第 1 伝送ゲート回路は、上記第 1 パルス信号に応答して導通状態とされ、

上記第 2 伝送ゲート回路は、上記第 2 パルス信号に応答して導通状態とされることを特徴とする請求項 6 の半導体集積回路装置。

【請求項 8】 上記制御信号は、上記外部クロック信号が第 1 レベルである事に応答して形成される第 3 パルス信号を更に含み、

上記プリチャージ回路は、上記第 3 パルス信号に応答して上記第 2 基準電圧を上記一対の信号線に供給することを特徴とする請求項 7 の半導体集積回路装置。

【請求項 9】 上記第 1 伝送ゲート回路は、上記外部入力信号を受ける第 3 端子と上記一対の信号線のうちの一方との間に結合されたソースドレイン経路と上記第 1 パルス信号を受けるゲートとを有する第 1 MOSFET と、上記第 2 基準電圧を受ける第 4 端子と上記一対の信号のうちの他方との間に結合されたソースドレイン経路と上記第 1 パルス信号を受けるゲートとを有する第 2 MOSFET とを有し、

上記第 2 伝送ゲート回路は、上記一対の信号線のうちの一方と上記内部回路との間に結合されたソースドレイン経路と上記第 2 パルス信号を受けるゲートとを有する第 3 MOSFET と、上記一対の信号線のうちの他方と上記内部回路との間に結合されたソースドレイン経路と上記第 2 パルス信号を受けるゲートとを有する第 4 MOSFET とを有し、

上記プリチャージ回路は、上記一対の信号線間に結合されたソースドレイン経路と上記第 3 パルス信号を受けるゲートとを有する第 5 MOSFET と、上記第 2 基準電圧と上記一対の信号線のうちの一方との間に結合されたソースドレイン経路と上記第 3 パルス信号を受けるゲートとを有する第 6 MOSFET と、上記第 2 基準電圧と上記一対の信号線のうちの他方との間に結合されたソースドレイン経路と上記第 3 パルス信号を受けるゲートとを有する第 7 MOSFET とを有し、

上記ラッチ回路は、上記第 1 端子に結合された入力端子と上記第 2 端子に結合された出力端子とを有する第 1 CMOS インバータと、上記第 1 CMOS インバータの上記入力端子に結合された出力端子と上記第 1 CMOS インバータの上記出力端子に結合された入力端子とを有する第 2 CMOS インバータとを有することを特徴とする請求項 8 の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体集積回路装置に関し、特にクロック信号に同期して信号の入出力が行われるシンクロナスダイナミック型 RAM (ランダム・

アクセス・メモリ) のような半導体集積回路装置における低振幅信号用のインターフェイス技術に利用して有効な技術に関するものである。

【0002】

【従来の技術】 パーソナルコンピュータやワークステーションといったような情報処理装置は、1つの伝送路に複数の情報処理部が並列形態に接続されて相互に情報の伝達を行うといういわゆるバス回路が用いられる。このバス回路の低消費電力化等のために GTL (Gunning Transceiver Logic) がある。この GTL は、従来の TTL (トランジスタ・トランジスタ・ロジック) レベルよりもバス線路上の信号振幅を半分以上に低下させて低消費電力化を図るものである。すなわち、バス回路の終端電圧 V_t を +1.2 V のような低電圧とし、受信回路は、0.8 V のような基準電圧 V_{ref} を持つ差動増幅回路を用いるようにする。これにより、信号伝送路に伝えられるハイレベルとロウレベルは、終端電圧 V_t に対応した 1.2 V と、出力 MOSFET のオン抵抗による電圧降下分による 0.4 V とされる。上記の GTL に関しては、1992 年 2 月 19 日付『アイ・エス・エス・シー・シー』論文頁 58～頁 59 (ISSCC; International Solid State Circuit Conference 1992 2/19pp. 58-59) がある。

【0003】

【発明が解決しようとする課題】 本願発明者等においては、上記 GTL を代表とするようにバス回路での信号の低振幅化に適用できるインターフェイスを持つダイナミック型 RAM 等の半導体集積回路装置を検討した。このような GTL では差動入力回路を用いるものであるが、定常的に直流電流を流すものであるために入力インターフェイス部での消費電流が増大してしまうという問題が生じる。

【0004】 この発明の目的は、低振幅入力インターフェイスの低消費電力化を図った半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0005】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、クロック信号に同期して信号の入力又は出力が行われ、かつ外部に対しては電源電圧に対して小さな信号振幅にされた信号の授受を行うようにされた低振幅の入出力インターフェイスを持つ半導体集積回路装置において、外部から供給されるクロック信号を受ける入力回路としては実質的に定常的に動作させられる差動回路で取り込み、上記クロック信号に同期して入力される低振幅の入力信号を受ける入力回路については、差動回路を上記クロック信号により間欠的に動作させ、かかる差動回路が動作期間中は取り込まれた内部信号を上記内部クロック信号によりサンプリングし、

差動回路の非動作期間中は上記サンプリングした信号をホールドさせる。

【0006】

【作用】上記した手段によれば、定常的に動作する必要のある入力回路を除いた他の多数の入力回路を間欠的に動作させることができるため、消費電流を大幅に低減することができる。

【0007】

【実施例】図1には、この発明に係る半導体集積回路装置における入力回路の一実施例の概略ブロック図が示されている。この実施例の半導体集積回路装置は、外部端子CLKから供給されたクロック信号に同期して、外部端子Comから制御信号(command)が入力される。同図では省略されているが、他の入力信号としてアドレス信号(Address)やデータ(Data)も入力されるものであれば、上記同様にクロック信号に同期して入力される。

【0008】上記外部端子から入力される入力信号は、電源電圧に対して小さな信号振幅にされた低振幅である。特に制限されないが、このような低振幅信号の例としては、前記のようなGTL信号がある。このようなGTL信号の他に、電源電圧に対して小さな信号振幅とされるものであれば何であってよい。

【0009】上記のような低振幅のクロック信号CLKを取り込むために、第1の入力回路DIFC1が設けられる。上記入力回路DIFC1は、実質的に定常的に動作させられる差動増幅回路が用いられる。差動増幅回路の一方の入力には、上記低振幅のクロック信号が供給され、他方の入力にはその中間電圧に設定された基準電圧Vrefinが供給される。上記入力回路DIFC1は、上記基準電圧Vrefinに対してクロック信号CLKがハイレベル/ロウレベルを識別して、それを増幅して内部の電源電圧に対応したハイレベル/ロウレベルの内部信号を形成する。かかる内部信号は、バッファ回路Bufferを介して内部回路に取り込まれる。

【0010】内部回路の1つは、特に制限されないが、上記バッファ回路Bufferの出力信号と上記入力回路DIFC1と同様な図示しない他の入力回路を通して取り込まれた内部クロックイネーブル信号ICKJとを受けて、内部クロックICKLKを形成するクロックイネーブル回路(CLK enable)である。他の内部回路は、クロック信号に同期して外部端子Comから制御信号を受ける第2の入力回路DIFC2及びそのバッファ回路Bufferである。つまり、上記バッファ回路Bufferから出力される1つの内部クロック信号/C-CLKは、上記第2の入力回路DIFC2を間欠的に動作させるために用いられ、他の内部クロック信号/C-CLK2は、バッファ回路Bufferのサンプリングとホールド動作に用いられる。上記のように第2の入力回路DIFC2が間欠的に動作させられることに応じて、消費電力をそのパルスデューティに対応して大幅に低減させることがで

きる。

【0011】図2には、上記第1の入力回路DIFC1の一実施例の回路図が示されている。本願の図面において、Pチャンネル型MOSFETはチャンネル部分(基板ゲート部分)に矢印が付加されることにより、Nチャンネル型MOSFETと区別される。また、図面が複雑になってしまうのを防ぐために、各図面の回路素子に付加される回路記号が、互いに重複するものがあるが、それぞれは別個の回路機能を実現するものであると理解されたい。

【0012】差動形態にされたPチャンネル型MOSFETQ1とQ2のゲートには、それぞれ基準電圧Vrefinと低振幅の入力信号INとが供給される。上記差動MOSFETQ1とQ2のドレイン側と回路の接地電位との間には、Nチャンネル型MOSFETQ3とQ4からなる電流ミラー形態のアクティブ負荷回路が設けられる。そして、上記差動MOSFETQ1とQ2の共通化されたソースと電源電圧VCCとの間には、Pチャンネル型からなる電流源MOSFETQ5が設けられる。なお、バッファ回路BufferとしてCMOSインバータ回路等が適宜に設けられるが、同図では省略されている。

【0013】この実施例の半導体集積回路装置は、非動作期間(スタンバイ状態又はスリープ状態)において必要な回路部分のみを動作させ、他の回路を非動作状態にさせるという、いわゆる低消費電力モードを備え、かかる低消費電力モードを指示する制御信号PWDMにより、上記電流源MOSFETQ5をオフ状態にさせるようにするものである。つまり、上記低消費電力モードのときには、クロック信号の入力も停止して、入力回路DIFC1での電流消費を低減させるようにするものである。このような低消費電力モードにしたとき、入力回路DIFC1の出力がフローティング状態になるのを防止するために、Nチャンネル型MOSFETQ6が設けられ、そのゲートに上記制御信号PWDMが供給される。制御信号PWDMにより電流源MOSFETQ5がオフ状態にされたとき、入力回路DIFC1の出力信号は、上記MOSFETQ6のオン状態により回路の接地電位に固定される。

【0014】図3には、上記第2の入力回路DIFC2の一実施例の回路図が示されている。上記第2の入力回路DIFC2は、入力信号INがクロック信号CLKに同期して入力されることに着目し、その電流消費を低減させるためにクロック信号/C-CLKにより間欠的に動作させられる。つまり、上記図2と同様な構成にされたMOSFETQ1~Q6からなる差動増幅回路において、電流源MOSFETQ5のゲートには、オアゲート回路G1を通して上記クロック信号/C-CLKが供給される。この実施例では、前記のような低消費電力モードのときは無条件で上記電流源MOSFETQ5をオフ状態にさせるために、上記オアゲート回路G1が設け

れ、上記制御信号 PWD M がクロック信号 / C - C L K とともに供給される。

【 0 0 1 5 】 上記のように MOS F E T Q 1 ~ Q 5 からなる差動増幅回路がクロック信号 / C - C L K により間欠的に動作させられることに対応して、かかる差動増幅回路の増幅出力を受けるバッファ回路 Buffer には、サンプリング・ホールド機能が持たされる。つまり、バッファ回路 Buffer は、クロック信号 / C - C L K 2 が供給され、差動増幅回路が動作状態のときには、かかる増幅出力信号をサンプリングし、上記差動増幅回路が非動作状態のときには上記取り込んだ増幅出力信号を保持するというホールド動作を行う。このため、バッファ回路 Buffer としては、スルー・ラッチ回路を用いることができる。このような回路に代えて、クロック信号 / C - C L K 2 によりオン状態にされる伝送ゲート MOS F E T と、伝送ゲート MOS F E T を通して入力された信号がゲートに供給され、そのゲート入力容量をキャパシタとして用いるようにした CMOS インバータ回路からサンプルホールド回路を用いるのもであってもよい。

【 0 0 1 6 】 図 4 には、上記第 1 の入力回路 D I F C 1 の他の一実施例の回路図が示されている。この実施例では、一対の N チャンネル型 MOS F E T Q 1 と Q 2 のゲートとソース間に入力信号 I N と基準電圧 V r e f i n とがそれぞれ供給される。つまり、入力 MOS F E T Q 1 と Q 2 は、N チャンネル型 MOS F E T から構成されて、ソースには回路の接地電位が供給される。これにより、MOS F E T Q 1 と Q 2 は、それぞれのゲートとソース間に供給された入力電圧に対応された電流信号を形成するようにされる。

【 0 0 1 7 】 特に制限されないが、入力信号が上記 G T L 回路に対応された信号である場合には、入力 MOS F E T Q 1 と Q 2 のしきい値電圧は、0 . 4 V のような低いしきい値電圧を持つようにされ、基準電圧 V r e f i n は 0 . 8 V のような電圧にされる。この実施例では、差動増幅回路のように基準電圧 V r e f i n によるレベルセンスを行うのではなく、入力信号 I N と基準電圧 V r e f i n に対応した電流センス動作を行うようにされる。つまり、入力信号 I N がハイレベルのときの MOS F E T Q 1 のドレイン電流と、入力信号 I N がロウレベルのときの MOS F E T Q 1 のドレイン電流の約半分の電流を MOS F E T Q 2 が形成するようにされる。このため、基準電圧 V r e f i n は前記図 2 の実施例とは異なり、必ずしもレベルが上記入力信号 I N のハイレベルとロウレベルの間レベルである必要はない。

【 0 0 1 8 】 例えば、上記の G T L の例で説明すると、MOS F E T Q 1 に比べて MOS F E T Q 2 のチャンネル幅を 1 / 2 にして、そのゲートに 1 . 2 V のようなバス回路の終端電圧 V t を印加するようにしてもよい。あるいは、MOS F E T Q 1 と Q 2 のサイズを等しくし、MOS F E T Q 2 のゲートには上記終端電圧 V t を印加

し、MOS F E T Q 1 と Q 2 のドレイン間に設けられた P チャンネル型 MOS F E T Q 3 と Q 4 からなる電流ミラー回路において、MOS F E T Q 3 のサイズを MOS F E T Q 4 の 2 倍として、MOS F E T Q 2 のドレイン電流に対して、入力信号 I N がハイレベルのときには約 2 倍の電流を供給するようにしてもよい。

【 0 0 1 9 】 つまり、この実施例の回路では、入力信号 I N がロウレベルのときには、それに対応した MOS F E T Q 1 のドレイン電流が MOS F E T Q 3 と Q 4 を介して MOS F E T Q 2 のドレインに供給される。このときには、上記のように MOS F E T Q 2 のドレイン電流の方が大きいから出力 O U T をロウレベルにディスチャージさせて回路の接地電位のようなロウレベルの出力信号を形成する。これに対して、入力信号 I N がハイレベルのときには、それに対応した MOS F E T Q 1 のドレイン電流が MOS F E T Q 3 と Q 4 を介して MOS F E T Q 2 のドレインに供給される。このときには、上記のように電流ミラー回路を通した MOS F E T Q 1 のドレイン電流の方が MOS F E T Q 2 のドレイン電流より大きいから出力 O U T をハイレベルにチャージアップさせて電源電圧 V C C のようなハイレベルを形成する。

【 0 0 2 0 】 この実施例では、上記電流ミラー回路を構成する MOS F E T Q 3 と Q 4 のソースには、電圧供給用のパワースイッチ MOS F E T Q 5 が設けられる。この MOS F E T Q 5 のゲートには、上記のような低消費電力モードのときの消費電流を削減するための制御信号 PWD M が供給される。このような低消費電力モードが無い半導体集積回路装置では、上記 MOS F E T Q 3 と Q 4 のソースは、電源電圧 V C C が印加される。

【 0 0 2 1 】 上記のような電流センス方式の入力回路は、第 1 図の第 2 の入力回路 D I F C 2 にも利用できる。つまり、図 4 の MOS F E T Q 5 のゲートに、クロック信号 / C - C L K を供給するか、あるいは低消費電力モードを持つものでは図 3 の実施例のようなゲート回路 G 1 を設け、制御信号 PWD M とクロック信号 / C - C L K を供給するようにすればよい。また、その出力部には、図 3 で説明したと同様なバッファ回路 Buffer を設けるようにすればよい。

【 0 0 2 2 】 この実施例の入力回路では、G T L 回路のように入力信号が回路の接地電位側に偏倚したもので、入力 MOS F E T として N チャンネル型 MOS F E T を用いることができる。すなわち、上記のような G T L のインターフェインにおいて、N チャンネル型の差動 MOS F E T を用いると、その共通ソースと回路の接地電位間に設けられる電流源 MOS F E T の動作電圧が不足して十分な動作が期待できなくなる。そこで、図 2 又は図 3 の実施例のように P チャンネル型 MOS F E T を用いることになるが、この場合には同じコンダクタンスを持たせるようにする場合の MOS F E T のサイズが大きくなり、その結果ゲート入力容量が増大したりすると

いう不都合が生じる。

【0023】後述するように、電源電圧側に偏倚した擬似ECLレベルやALTSレベルでは、図4の実施例の各MOSFETの導電型を逆に用いるようにすればよい。すなわち、入力信号と基準電圧を受けるMOSFETは、Pチャンネル型MOSFETとして、電流ミラー回路を構成するMOSFET及びパワースイッチとしてのMOSFETをNチャンネル型MOSFETとすればよい。

【0024】図5には、この発明に係る入力回路の動作を説明するためのタイミング図が示されている。(A)には、クロック信号に同期して入力された入力信号INをそのまま増幅して内部に取り込む回路が示され、(B)には、この発明に係る第2の入力回路の動作を説明するためのタイミング図が示されている。(A)の回路では、クロック信号CLKに対してセットアップ時間 t_{CS} とホールド時間 t_{CH} を持つように同期して入力される入力信号INが、そのまま増幅されて内部に取り込まれる例が示されている。上記の入力信号INと内部に取り込まれる信号OUTとの時間の遅れは、増幅回路での遅延時間に相当している。このような入力回路では、定常的に差動増幅回路が動作をしているために必然的に消費電力が増大してしまう。

【0025】(B)のようなこの発明に係る第2の入力回路では、上記クロック信号CLKを増幅して形成された内部クロック信号/C-CLKがハイレベルの間は、非動作状態にされて動作電流を消費しない。このときには、内部クロック信号/C-CLKのハイレベルにより、図3の実施例回路ではMOSFETQ6がオン状態になり、出力OUTをロウレベルに固定している。このときに、バッファ回路Bufferによりその前に取り込まれた信号がホールドされて出力信号OUT2が出力されている。

【0026】上記クロック信号CLKの変化に対応して、内部クロック信号/C-CLKがロウレベルになると、上記電流源MOSFETQ5がオン状態になり、差動増幅回路が活性化されて、基準電圧Vrefinを参照して入力信号INのハイレベル/ロウレベルを識別し、ハイレベル/ロウレベルの出力信号OUTを形成する。この出力信号OUTは、上記バッファ回路Bufferを通して出力信号OUT2として取り込まれる。

【0027】上記出力バッファに供給される内部クロック信号/C-CLK2を上記を増幅期間だけ遅れて発生させ、そのエッジにより上記バッファ回路Bufferにラッチさせた後は、増幅信号OUTは実質的に無効にされる。したがって、第3図の実施例において、MOSFETQ5を上記クロック/C-CLK2がロウレベルにされたタイミングでオフ状態にし、差動回路が活性化されている期間を必要最少に短くするものであってもよい。このようにすれば、クロック信号/C-CLKのパルス

ディューティが50%であっても、差動増幅回路の消費電流を上記増幅期間に対応して1/2以下に低減させることができる。

【0028】また、外部から供給される入力信号は、外部のクロック信号CLKと同期して変化させ、入力回路での遅延時間、つまり、外部クロックCLKに対する内部クロック/C-CLKの信号遅延時間をセットアップ時間 t_{CS} として利用するものとしてもよい。このような信号遅延時間をセットアップ時間 t_{CS} とし利用した場合、上記入力回路での信号遅延時間を見込んだ一定の時間マージンを持ってセットアップ時間 t_{CS} やホールド時間 t_{CH} を余分に設定する必要がなく、その分クロック信号CLKの周期を短く(周波数を高く)することができる。

【0029】図6には、上記第2の入力回路DIFC2の他の一実施例の回路図が示されている。(A)に示された回路においては、CMOSのラッチ回路を用いて増幅とラッチ動作とが行われる。CMOSラッチ回路は、Pチャンネル型MOSFETQ1、Q3とNチャンネル型MOSFETQ2、Q4からなる2つのCMOSインバータ回路の入力と出力とを交差接続して構成される。このCMOSラッチ回路の増幅動作をクロック信号に同期して行わせるために、上記ラッチ回路に動作電圧として回路の電位を供給するNチャンネル型MOSFETQ5が設けられる。また、上記ラッチ回路の一对の入出力ノードIT、IBには両者を短絡するMOSFET及び基準電圧Vrefinを供給するMOSFETからなるブリッジ回路が設けられる。

【0030】上記CMOSラッチ回路の一对の入出力ノード(一对の信号線)ITとIBには、クロック信号CLKと同期した所定のタイミング信号CE1によって入力信号INと基準電圧Vrefinとを取り込みCMOS伝送ゲート回路が設けられる。また、上記CMOSラッチ回路の一对の入出力ノードITとIBにおける増幅ラッチ信号は、所定のタイミング信号CE2によってスイッチ制御されるCMOS伝送ゲート回路を通して出力端子OTとOBに伝えられる。

【0031】上記CMOSラッチ回路の動作開始を制御するMOSFETQ5のゲートには、前記のような低消費電力モードに対応した制御信号PWDMとクロック信号CLKに同期した信号/ENがノアゲート回路を通して伝えられる。このノアゲート回路の出力信号は、上記ブリッジ回路の動作制御を行うブリッジ信号としても用いられる。

【0032】(B)に示された回路においては、入力信号INと基準電圧Vrefinとは前記のようなCMOS伝送ゲート回路を介してPチャンネル型の差動MOSFETQ1とQ2のゲートにそれぞれ供給される。そして、かかる差動MOSFETQ1とQ2のドレインに、ゲートとドレインとが交差接続されてラッチ形態にされたN

チャンネル型MOSFET Q3とQ4がアクティブ負荷回路として設けられる。このように、(B)の回路では、増幅部とラッチ部とがそれぞれ分かれて構成される。出力ノード(一對の信号線)ITとIBには、前記同様なプリチャージ回路が設けられる。出力ノードITとIBは、最終的には差動MOSFET Q1とQ2のドレイン出力により決定されるから、プリチャージ回路を省略できる。しかしながら、この実施例のようなプリチャージ回路を設けることにより、ラッチ部の記憶状態を入力信号の差動増幅出力に高速に応答させることができる。

【0033】図7には、上記図6の入力回路DIFC2の動作を説明するためのタイミング図が示されている。制御信号/ENは、外部端子から供給されるクロック信号CLKを増幅した内部クロック信号に対応したものとされる。このタイミング信号/ENの前半部分の期間に同期してタイミング信号CE1が発生され、後半部分の期間に対応してタイミング信号CE2が発生される。これらのタイミング信号CE1とCE2は、上記/ENにより形成されるもの、あるいはクロック信号CLKから直接的に形成されるもの等種々の実施形態を取ることができる。

【0034】信号/ENがハイレベルの期間は、プリチャージ期間とされる。(A)の回路においては、CMOSラッチ回路の入出力ノードITとIBとが短絡され、かつ上記基準電圧Vrefinにプリチャージされる。

(B)の回路においては、アクティブ負荷回路の出力ノードITとIBとが短絡され、かつ上記基準電圧Vrefinにプリチャージされる。

【0035】タイミング信号CE1がハイレベルの期間では、入力側のCMOS伝送ゲート回路がオン状態となり、入力信号INと基準電圧Vrefinが取り込まれる。そして、信号/ENのロウレベルにより、(A)回路ではCMOSラッチ回路が動作状態にされて、正帰還を伴う増幅動作によって高速に入出力ノードITとIBとがハイレベルとロウレベルに相補的に変化させられる。信号/ENのロウレベルにより、(B)回路では、差動増幅出力と、その出力信号を負荷回路での正帰還増幅動作とによって同様に出力ノードITとIBとがハイレベルとロウレベルに相補的に変化させられる。

【0036】タイミング信号CE1がロウレベルにされると、入力側のCMOS伝送ゲート回路がオフ状態になって入力側と切り離されラッチされる。タイミング信号CE2のハイレベルにより出力側のCMOS伝送ゲート回路がオン状態になり、上記ラッチされた信号が出力端子OTとOBに伝えられる。信号/ENがハイレベルにされると、プリチャージ動作が開始されて出力ノードが基準電圧Vrefinに設定され、この期間は電流消費が行われない。

【0037】(A)の回路のようにCMOSラッチ回路

を用いた場合には、入力信号INを取り込みんで増幅する期間だけしか電流消費が行わない。つまり、CMOS回路では信号レベルがハイレベルとロウレベルにされると、Nチャンネル型MOSFET又はPチャンネル型MOSFETの一方がオフ状態にされるので、定常的な直流電流が流れなくなるからである。そのため、上記信号/ENのハイレベルによりMOSFET Q5をオフ状態にするのは、図2や図3の実施例回路とは意味が異なる。つまり、MOSFET Q5をオフ状態にするのは低消費電力のためではなく、ラッチ回路に保持された信号をリセットさせて、次に入力信号の取り込みのための予備動作(プリチャージ動作)のためである。

【0038】したがって、この信号/ENがハイレベルになる期間は、タイミング信号CE2はロウレベルにされて出力側のCMOS伝送ゲート回路もオフ状態にされる。それ故、出力信号OTとOBは、図示しない前記説明したような適当なラッチ回路により保持させられる。

【0039】図8には、この発明をシンクロナスタダイナミック型RAMに適用した場合の入力回路の一実施例の概略ブロック図が示されている。この実施例では、クロック信号CLKとクロックイネーブル信号CKEは、前記図2、図4の実施例回路のように定常的に動作させられる入力回路DIFC1が用いられる。これに対して、コマンド信号Com、アドレス信号Add及び入力データDinは、図6の(A)又は(B)に示されたようなラッチ型入力回路が用いられる。

【0040】このため、クロック信号CLKを受ける入力回路DIFC1の出力部に設けられるバッファ回路Bufferには、上記のような入力回路の動作に必要なタイミング信号CE1、CE2及び制御信号ENBを形成する機能が設けられる。ここで、ENBは/ENと同じ意味であり、ロウレベルがアクティブレベルとされる。また、クロック回路(CLK enable)には、上記クロックイネーブル信号CKEを受ける入力回路DIFC1及びバッファ回路Bufferを通した内部クロックイネーブル信号が供給される。これにより、内部クロック信号ICLKは、クロックイネーブル信号CKEがアクティブレベルにされたときに発生させられる。

【0041】図9には、この発明が適用されるシンクロナスタDRAM(以下、単にSDRAMという)の一実施例のブロック図が示されている。同図に示されたSDRAMは、特に制限されないが、公知の半導体集積回路の製造技術によって単結晶シリコンのような1つの半導体基板上に形成される。

【0042】この実施例のSDRAMは、メモリバンクA(BANK A)を構成するメモリアレイ200Aと、メモリバンク(BANK B)を構成するメモリアレイ200Bを備える。それぞれのメモリアレイ200Aと200Bは、マトリクス配置されたダイナミック型メモセルを備え、図に従えば同一列に配置されたメモセル

の選択端子は列毎のワード線（図示せず）に結合され、同一行に配置されたメモセルのデータ入出力端子は行毎に相補データ線（図示せず）に結合される。

【0043】上記メモリアレイ200Aの図示しないワード線はロウデコーダ201Aによるロウアドレス信号のデコード結果に従って1本が選択レベルに駆動される。メモリアレイ200Aの図示しない相補データ線はセンスアンプ及びカラム選択回路202Aに結合される。センスアンプ及びカラム選択回路202Aにおけるセンスアンプは、メモセルからのデータ読出しによって夫々の相補データ線に現れる微小電位差を検出して増幅する増幅回路である。それにおけるカラムスイッチ回路は、相補データ線を各別に選択して相補共通データ線204に導通させるためのスイッチ回路である。カラムスイッチ回路はカラムデコーダ203Aによるカラムアドレス信号のデコード結果に従って選択動作される。

【0044】メモリアレイ200B側にも同様にロウデコーダ201B、センスアンプ及びカラム選択回路202B、カラムデコーダ203Bが設けられる。上記相補共通データ線204は入力バッファ210の出力端子及び出力バッファ211の入力端子に接続される。入力バッファ210の入力端子及び出力バッファ211の出力端子は8ビットのデータ入出力端子I/O0～I/O7に接続される。

【0045】アドレス入力端子A0～A11から供給されるロウアドレス信号とカラムアドレス信号はカラムアドレスバッファ205とロウアドレスバッファ206にアドレスマルチプレクス形式で取り込まれる。供給されたアドレス信号はそれぞれのバッファが保持する。ロウアドレスバッファ206はリフレッシュ動作モードにおいてはリフレッシュカウンタ208から出力されるリフレッシュアドレス信号をロウアドレス信号として取り込む。カラムアドレスバッファ205の出力はカラムアドレスカウンタ207のプリセットデータとして供給され、カラムアドレスカウンタ207は後述のコマンドなどで指定される動作モードに応じて、上記プリセットデータとしてのカラムアドレス信号、又はそのカラムアドレス信号を順次インクリメントした値を、カラムデコーダ203A、203Bに向けて出力する。

【0046】コントローラ212は、特に制限されないが、クロック信号CLK、クロックイネーブル信号CKE、チップセレクト信号/CS、カラムアドレスストローブ信号/CAS（記号/はこれが付された信号がロウイネーブルの信号であることを意味する）、ロウアドレスストローブ信号/RAS、ライトイネーブル信号/WE、データ入出力マスクコントロール信号DQMなどの外部制御信号と、アドレス入力端子A0～A11からの制御データ及び基準電圧Vrefとが供給され、それらの信号のレベルの変化やタイミングなどに基づいてSDRAMの動作モード及び上記回路ブロックの動作を制御す

るための内部タイミング信号を形成するもので、そのためのコントロールロジック（図示せず）とモードレジスタ30を備える。

【0047】クロック信号CLKは、SDRAMのマスククロックとされ、その他の外部入力信号は当該内部クロック信号の立ち上がりエッジに同期して有意とされる。チップセレクト信号/CSはそのロウレベルによってコマンド入力サイクルの開始を指示する。チップセレクト信号/CSがハイレベルのとき（チップ非選択状態）やその他の入力は意味を持たない。但し、後述するメモリバンクの選択状態やバースト動作などの内部動作はチップ非選択状態への変化によって影響されない。/RAS、/CAS、/WEの各信号は通常のDRAMにおける対応信号とは機能が相違され、後述するコマンドサイクルを定義するときには有意の信号とされる。

【0048】クロックイネーブル信号CKEは次のクロック信号の有効性を指示する信号であり、当該信号CKEがハイレベルであれば次のクロック信号CLKの立ち上がりエッジが有効とされ、ロウレベルのときには無効とされる。さらに、図示しないがリードモードにおいて、出力バッファ211に対するアウトプットイネーブルの制御を行う外部制御信号もコントローラ212に供給され、その信号が例えばハイレベルのときには出力バッファ211は高出力インピーダンス状態にされる。

【0049】上記ロウアドレス信号は、クロック信号CLK（内部クロック信号）の立ち上がりエッジに同期する後述のロウアドレスストローブ・バンクアクティブコマンドサイクルにおけるA0～A10のレベルによって定義される。A11からの入力は、上記ロウアドレスストローブ・バンクアクティブコマンドサイクルにおいてバンク選択信号とみなされる。即ち、A11の入力がロウレベルの時はメモリバンクBANKAが選択され、ハイレベルの時はメモリバンクBANKBが選択される。メモリバンクの選択制御は、特に制限されないが、選択メモリバンク側のロウデコーダのみの活性化、非選択メモリバンク側のカラムスイッチ回路の全非選択、選択メモリバンク側のみの入力バッファ210及び出力バッファ211への接続などの処理によって行うことができる。

【0050】後述のプリチャージコマンドサイクルにおけるA10の入力は相補データ線などに対するプリチャージ動作の態様を指示し、そのハイレベルはプリチャージの対象が双方のメモリバンクであることを指示し、そのロウレベルは、A11で指示されている一方のメモリバンクがプリチャージの対象であることを指示する。

【0051】上記カラムアドレス信号は、クロック信号CLK（内部クロック）の立ち上がりエッジに同期するリード又はライトコマンド（後述のカラムアドレス・リードコマンド、カラムアドレス・ライトコマンド）サイクルにおけるA0～A8のレベルによって定義される。

そして、この様にして定義されたカラムアドレスはバーストアクセスのスタートアドレスとされる。

【0052】次に、コマンドによって指示されるSDRAMの主な動作モードを説明する。

(1) モードレジスタセットコマンド (Mo)

上記モードレジスタ30をセットするためのコマンドであり、 $\overline{\text{CS}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\overline{\text{WE}}$ =ロウレベルによって当該コマンド指定され、セットすべきデータ(レジスタセットデータ)はA0~A11を介して与えられる。レジスタセットデータは、特に制限されないが、バーストレンジ、CASレイテンシ、ライトモードなどとされる。特に制限されないが、設定可能なバーストレンジは、1、2、4、8、フルページ(256)とされ、設定可能なCASレイテンシは1、2、3とされ、設定可能なライトモードは、バーストライトとシングルライトとされる。

【0053】上記CASレイテンシは、後述のカラムアドレス・リードコマンドによって指示されるリード動作において $\overline{\text{CAS}}$ の立ち下がりから出力バッファ211の出力動作までに内部クロック信号の何サイクル分を費やすかを指示するものである。読出しデータが確定するまでにはデータ読出しのための内部動作時間が必要とされ、それを内部クロック信号の使用周波数に応じて設定するためのものである。換言すれば、周波数の高い内部クロック信号を用いる場合にはCASレイテンシを相対的に大きな値に設定し、周波数の低い内部クロック信号を用いる場合にはCASレイテンシを相対的に小さな値に設定する。

【0054】(2) ロウアドレスストロープ・バンクアクティブコマンド (Ac)

これは、ロウアドレスストロープの指示とA11によるメモリバンクの選択を有効にするコマンドであり、 $\overline{\text{CS}}$ 、 $\overline{\text{RAS}}$ =ロウレベル、 $\overline{\text{CAS}}$ 、 $\overline{\text{WE}}$ =ハイレベルによって指示され、このときA0~A10に供給されるアドレスがロウアドレス信号として、A11に供給される信号がメモリバンクの選択信号として取り込まれる。取り込み動作は上述のように内部クロック信号の立ち上がりエッジに同期して行われる。例えば、当該コマンドが指定されると、それによって指定されるメモリバンクにおけるワード線が選択され、当該ワード線に接続されたメモセルがそれぞれ対応する相補データ線に導通される。

【0055】(3) カラムアドレス・リードコマンド (Re)

このコマンドは、バーストリード動作を開始するために必要なコマンドであると共に、カラムアドレスストロープの指示を与えるコマンドであり、 $\overline{\text{CS}}$ 、 $\overline{\text{CAS}}$ =ロウレベル、 $\overline{\text{RAS}}$ 、 $\overline{\text{WE}}$ =ハイレベルによって指示され、このときA0~A8に供給されるカラムアドレスがカラムアドレス信号として取り込まれる。これによ

って取り込まれたカラムアドレス信号はバーストスタートアドレスとしてカラムアドレスカウンタ207に供給される。これによって指示されたバーストリード動作においては、その前にロウアドレスストロープ・バンクアクティブコマンドサイクルでメモリバンクとそれにおけるワード線の選択が行われており、当該選択ワード線のメモセルは、内部クロック信号に同期してカラムアドレスカウンタ207から出力されるアドレス信号に従って順次選択されて連続的に読出される。連続的に読出されるデータ数は上記バーストレンジによって指定された個数とされる。また、出力バッファ211からのデータ読出し開始は上記CASレイテンシで規定される内部クロック信号のサイクル数を待って行われる。

【0056】(4) カラムアドレス・ライトコマンド (Wr)

ライト動作の態様としてモードレジスタ30にバーストライトが設定されているときは当該バーストライト動作を開始するために必要なコマンドとされ、ライト動作の態様としてモードレジスタ30にシングルライトが設定されているときは当該シングルライト動作を開始するために必要なコマンドとされる。更に当該コマンドは、シングルライト及びバーストライトにおけるカラムアドレスストロープの指示を与える。当該コマンドは、 $\overline{\text{CS}}$ 、 $\overline{\text{CAS}}$ 、 $\overline{\text{WE}}$ =ロウレベル、 $\overline{\text{RAS}}$ =ハイレベルによって指示され、このときA0~A8に供給されるアドレスがカラムアドレス信号として取り込まれる。これによって取り込まれたカラムアドレス信号はバーストライトにおいてはバーストスタートアドレスとしてカラムアドレスカウンタ207に供給される。これによって指示されたバーストライト動作の手順もバーストリード動作と同様に行われる。但し、ライト動作にはCASレイテンシはなく、ライトデータの取り込みは当該カラムアドレス・ライトコマンドサイクルから開始される。

【0057】(5) プリチャージコマンド (Pr)

これは、A10、A11によって選択されたメモリバンクに対するプリチャージ動作の開始コマンドとされ、 $\overline{\text{CS}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{WE}}$ =ロウレベル、 $\overline{\text{CAS}}$ =ハイレベルによって指示される。

【0058】(6) オートリフレッシュコマンド

このコマンドはオートリフレッシュを開始するために必要とされるコマンドであり、 $\overline{\text{CS}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ =ロウレベル、 $\overline{\text{WE}}$ 、CKE=ハイレベルによって指示される。

【0059】(7) バーストストップ・イン・フルページコマンド

フルページに対するバースト動作を全てのメモリバンクに対して停止させるために必要なコマンドであり、フルページ以外のバースト動作では無視される。このコマンドは、 $\overline{\text{CS}}$ 、 $\overline{\text{WE}}$ =ロウレベル、 $\overline{\text{RAS}}$ 、 $\overline{\text{CA}}$

S = ハイレベルによって指示される。

【0060】(8) ノーオペレーションコマンド (No p)

これは実質的な動作を行わないこと指示するコマンドであり、/CS = ロウレベル、/RAS、/CAS、/WE のハイレベルによって指示される。

【0061】SDRAMにおいては、一方のメモリバンクでバースト動作が行われているとき、その途中で別のメモリバンクを指定して、ロウアドレスストロブ・バンクアクティブコマンドが供給されると、当該実行中の一方のメモリバンクでの動作には何ら影響を与えることなく、当該別のメモリバンクにおけるロウアドレス系の動作が可能にされる。例えば、SDRAMは外部から供給されるデータ、アドレス、及び制御信号を内部に保持する手段を有し、その保持内容、特にアドレス及び制御信号は、特に制限されないが、メモリバンク毎に保持されるようになっている。或は、ロウアドレスストロブ・バンクアクティブコマンドサイクルによって選択されたメモリブロックにおけるワード線1本分のデータがカラム系動作の前に予め読み出し動作のために図示しないラッチ回路にラッチされるようになっている。

【0062】したがって、データ入出力端子 I/O0 ~ I/O7 においてデータが衝突しない限り、処理が終了していないコマンド実行中に、当該実行中のコマンドが処理対象とするメモリバンクとは異なるメモリバンクに対するプリチャージコマンド、ロウアドレスストロブ・バンクアクティブコマンドを発行して、内部動作を予め開始させることが可能である。

【0063】SDRAM22は、クロック信号CLK

(内部クロック信号) に同期してデータ、アドレス、制御信号を入出力できるため、DRAMと同様の大容量メモリをSRAMに匹敵する高速動作させることが可能であり、また、選択された1本のワード線に対して幾つのデータをアクセスするかをバーストレンジによって指定することによって、内蔵カラムアドレスカウンタ207で順次カラム系の選択状態を切り換えていく複数個のデータを連続的にリード又はライトできることが理解されよう。

【0064】図10には、この発明が適用されるSDRAMのリードサイクルの一例を説明するためのタイミング図が示されている。/CSと/RASのロウレベルより、ロウアドレスR:aが取り込まれる。また、アドレスA11 (バンクセレクトBS) のロウレベルにより、バンク0がアクティブにされてバンク0に対してロウ系のアドレス選択動作が開始される。3クロック後に、/CASがロウレベルにされて、カラムアドレスC:aが取り込まれてカラム系の選択動作が開始される。

【0065】CASレイテンシが3にされているとすると、3クロック後に出力信号aが出力される。バース

トリードが指定されているなら、以後クロックに同期してデータa+1、a+2、a+3が順次に出力される。このような読み出し動作と平行して、アクティブバンク-1の指定と、それに対応したロウアドレスR:bと、それから3クロック遅れてカラムアドレスC:bが入力される。これにより、3クロック後にデータb、b+1、b+2、b+3が順次に読み出される。

【0066】リードバンク-1を指定してカラムアドレスC:b'を入力すると、引き続いてそれより3クロックに遅れてデータb'とb'+1が出力される。2クロック後に、リードバンク-1を指定してカラムアドレスC:b''を入力するとb'がb''に置き換えられるのでそれより3クロックに遅れてデータb''とb''+1、b''+2、b''+3が出力される。

【0067】図11には、この発明が適用されるSDRAMのライトサイクルの一例を説明するためのタイミング図が示されている。/CSと/RASのロウレベルより、ロウアドレスR:aが取り込まれる。また、アドレスA11 (バンクセレクトBS) のロウレベルにより、バンク0がアクティブにされてバンク0に対してロウ系のアドレス選択動作が開始される。3クロック後に、/CASがロウレベルにされて、カラムアドレスC:aが取り込まれてカラム系の選択動作が開始され、それと同時に入力された書き込み信号aが選択されたメモリセルに書き込まれ、以下バーストライトに対応してカラムアドレスが更新されて、データa+1、a+2、a+3がクロックに同期して書き込まれる。

【0068】このようなバースト書き込み動作と平行して、アクティブバンク-1の指定と、それに対応したロウアドレスR:bと、それから3クロック遅れてカラムアドレスC:bが入力され、書き込みデータbが書き込まれる。以下、上記同様にb+1、b+2、b+3がクロックに同期して順次に書き込まれる。以下、ライトバンク-1を指定してカラムアドレスC:b'を入力し、書き込みデータb'とb'+1を入力し、リードバンク-1を指定してカラムアドレスC:b''を入力すると、カラムアドレスがb'からb''に置き換えられるので、それよに対応したデータb''とb''+1、b''+2、b''+3が順次に書き込まれる。

【0069】図12には、この発明が適用されるSDRAMの他の一実施例の入力部のブロック図が示されている。同図には、SDRAMのうち、入出力バッファと、それに関連する内部回路が代表として例示的に示されている。

【0070】クロック入力バッファ (Clock Input Buffer) 1は、外部クロックCLKの他に、チップセレクト信号/CS、ロウアドレスストロブ信号/RAS、カラムアドレスストロブ信号/CASライトイネーブル信号/WE等の制御信号を受けて、内部動作に必要な各種制御信号を形成する。そして、通常のシンクロ

ナスDRAMと異なり、外部クロックCLKがそのまま内部クロックとして用いられるのではなく、クロック入力バッファ1に含まれるPLL回路(又はDLL)により内部クロックが形成される。

【0071】つまり、外部クロックCLKは、PLL回路(又はDLL回路)の位相比較器に入力されて、ここで内部クロックと比較され、外部クロックCLKに対応して内部クロックの位相制御(周波数制御)が行われて、外部クロックと同期した内部クロックが形成される。この構成では、外部クロックCLKをそのまま内部クロックとして用いる前記のような回路に比べて、入力バッファでの信号遅延を実質的に無くすることができ、クロック信号CLKとそれに同期して入力される各種入力信号とのセットアップ時間に、上記クロック信号CLKにおける信号遅延時間を考慮しなくて済み、外部クロックCLKの高周波数化にも十分対応できるようにされる。

【0072】アドレス入力バッファ(Address Input Buffer)2は、上記のように時系列的に入力されるアドレス信号を取り込む。このアドレス入力バッファ2からは、ロウ系アドレス信号やカラム系アドレス信号の他に、モード設定に用いられるコード情報Codeも取り込まれる。このコード情報Codeは、モードデコーダ(Mode Decoder)5に含まれるモードレジスタにセットされ、モードデコーダ5によって解読されて、それに対応した動作を実現するための各種制御信号が形成される。

【0073】データ入力バッファ(Data Input Buffer)3は、入出力端子I/Oから供給される書き込み信号を取り込み、図示しないメモリアレイ(Memory array)に書き込みデータDataとして伝えられる。データ出力バッファ(Data Output Buffer)4は、メモリアレイ(Memory array)から読み出された読み出しデータDataを外部端子I/Oから送出させる。

【0074】ラス系コントロール回路(RAS系Control)6は、モードデコーダ5の出力により、ロウ系アドレスコントロール(Row系Address Control)7と、ロウ系アドレスプレデコーダ(Row系Address pre-Decoder)10を制御して、ロウ系のアドレス選択動作を制御する。上記ロウ系アドレスコントロール7では、ロウアドレス信号(Row Address)又はリフレッシュアドレス信号を出力する。ロウ系アドレスプレデコーダ10は、アドレス信号を解読してバンク0と1(Bank-0とBank-1)にブレデコードされたアドレス信号(Row Address')を送出する。

【0075】バンクコントロール回路(Bank Control)9は、モードデコーダ5からの出力信号により、カラム系アドレスカウンタ(Column系Address Counter)8と、カラム系アドレスプレデコーダ(Column Address pre-Decoder)12を制御して、カラム系のアドレス選択動作を制御する。カラム系アドレスカウンタ

8には、カラムアドレス信号(Column Address)が初期値として入力される。このカラム系アドレスカウンタ8は、バーストカウンタ(Burst Counter)とも呼ばれる。カラム系アドレスプレデコーダ12は、アドレス信号を解読してメモリアレイ(Memory array)にブレデコードされたアドレス信号(Column Address')を送出する。

【0076】ロウ系アドレスプレデコーダ10には、冗長回路(Redundancy)11が設けられ、不良のワード線が冗長ワード線に置き換えられる。同様に、カラム系アドレスプレデコーダ12には、冗長回路(Redundancy)13が設けられ、不良のデータ線が冗長データ線に置き換えられる。

【0077】図13には、上記図12に示した入力回路の動作を説明するためのタイミング図が示されている。ただし、入力回路の具体的な構成は、図6に示したような回路が用いられる。同図において、制御信号/ENは、外部端子から供給されるクロック信号CLKは、PLL回路又はDLL回路により内部クロックICKと位相同期させられる。これに対応してタイミング信号/ENも上記外部クロックCLKにほぼ位相同期させられ、その前半部分の期間に同期してタイミング信号CE1が発生され、後半部分の期間に対応してタイミング信号CE2が発生される。これらのタイミング信号CE1とCE2は、上記/ENにより形成されるもの、あるいはクロック信号ICKから直接的に形成されるもの等種々の実施形態を取ることができる。

【0078】信号/ENがハイレベルの期間は、プリチャージ期間とされる。図6(A)の回路においては、CMOSラッチ回路の入出力ノードITとIBとが短絡され、かつ上記基準電圧Vrefinにプリチャージされる。図6(B)の回路においては、アクティブ負荷回路の出力ノードITとIBとが短絡され、かつ上記基準電圧Vrefinにプリチャージされる。

【0079】タイミング信号CE1がハイレベルの期間では、入力側のCMOS伝送ゲート回路がオン状態となり、入力信号INと基準電圧Vrefinが取り込まれる。そして、信号/ENのロウレベルにより、図6(A)回路ではCMOSラッチ回路が動作状態にされて、正帰還を伴う増幅動作によって高速に入出力ノードITとIBとがハイレベルとロウレベルに相補的に変化させられる。信号/ENのロウレベルにより、図6(B)回路では、差動増幅出力と、その出力信号を負荷回路での正帰還増幅動作とによって同様に出力ノードITとIBとがハイレベルとロウレベルに相補的に変化させられる。

【0080】タイミング信号CE1がロウレベルにされると、入力側のCMOS伝送ゲート回路がオフ状態になってカ側と切り離されラッチされる。タイミング信号CE2のハイレベルにより出力側のCMOS伝送ゲート回路がオン状態になり、上記ラッチされた信号が出力端子

OTとOBに伝えられる。信号/ENがハイレベルにされると、プリチャージ動作が開始されて出力ノードが基準電圧Vrefinに設定され、この期間は前記同様に電流消費が行われない。

【0081】この信号/ENがハイレベルになる期間は、タイミング信号CE2はロウレベルにされて出力側のCMOS伝送ゲート回路もオフ状態にされる。それ故、出力信号OTとOBは、図示しない前記説明したような適当なラッチ回路により保持させられる。この実施例では、外部クロックCLKと内部クロックICLK又はタイミング信号/ENとの時間差が実質的には無くなるようにされるから、外部から供給される信号Com.等のセットアップ時間tCSを、内部タイミング信号/EN等における信号遅延時間を考慮する必要がなく、ホールド時間tCHのマージンが大きくできること、あるいはその分クロック信号CLKの周波数を高くすることが可能になる。

【0082】図14には、この発明が適用されるGTL回路を説明するための概略ブロック図が示されている。このGTLは、従来のTTL(トランジスタ・トランジスタ・ロジック)レベルよりもバス線路上の信号振幅を半分以上に低下させて低消費電力化を図るものである。すなわち、バス回路の終端電圧Vtを+1.2Vのような低電圧とし、受信回路は、0.8Vのような基準電圧Vrefを持つ差動増幅回路を用いるようにする。これにより、信号伝送路に伝えられるハイレベルとロウレベルは、終端電圧Vtに対応した1.2Vと、出力MOSFETのオン抵抗による電圧降下分による0.4Vとされる。このようなGTLインターフェイスを本発明を適用する場合、前記SDRAM等の入力回路にはかかる信号伝送経路を介して入力信号が供給される。そして、前記基準電圧Vref(Vrefin)は0.8Vのような電圧に設定される。この基準電圧Vref(Vrefin)は、半導体集積回路装置の内部で発生させるものであってもよい。

【0083】図15には、この発明が適用される低振幅インターフェイスの代表的な例を説明するためのレベル設定図である。その1つは、従来の回路の接地電位0Vに代えて+5Vのような電源電圧VDDを基準にしてハイレベルが4.2Vでロウレベルが3.4Vのような擬似ECL信号であり、他の1つは前記のようにハイレベルが1.2Vでロウレベルが0.4VとなるようなGTL信号、残りの1つは本願出願人において先に提案されているハイレベルが4.2Vでロウレベルが3.9VのようなALTS信号である。この他、LVTTIのような信号も同様に適用することができる。

【0084】図16には、この発明が適用されたSDRAMを用いたパーソナルコンピュータシステムの一実施例の構成図が示されている。同図(A)にはその外観の要部概略図が示され、同図(B)にはそのブロック図が示されている。

【0085】フロッピーディスクドライブFDD及び主記憶メモリとしての本発明が適用されたDRAMによるファイルメモリfileM、バッテリバックアップとしてのSRAMを内蔵したシステムである。そして、入出力装置をキーボードKB及びディスプレイDPとし、フロッピーディスクFDが上記フロッピーディスクドライブFDDに挿入される。このことによってソフトウェアとしての上記フロッピーディスクFDおよびハードウェアとしての上記ファイルメモリfileMに情報を記憶できるデスクトップタイプパソコンとなる。

【0086】本実施例ではデスクトップタイプパソコンについて適用した例について記載したが、ノート型パソコン等についても適用が可能であり、補助機能としてフロッピーディスクを例として記載したが特に限定されない。

【0087】同図(B)において、この実施例のパーソナルコンピュータは、本情報機器としての中央処理装置CPU、上記情報処理システム内に構築したI/Oバス、BUS Unit、主記憶メモリや拡張メモリなど高速メモリをアクセスするメモリ制御ユニットMemory Control Unit、主記憶メモリとしての本発明に係るDRAM(SDRAM)及び拡張RAM(SDRAM)、基本制御プログラム等が格納されたEPROM(フラッシュEPROM)、先端にキーボードが接続されたキーボードコントローラKBDC等によって構成される。

【0088】表示アダプタとしてのDisplay adapterがI/Oバスに接続され、上記Display adapterの先端にはディスプレイが接続されている。そして、上記I/OバスにはパラレルポートParallel Port I/F、マウス等のシリアルポートSerial Port I/F、フロッピーディスクドライブFDD、上記I/OバスよりのHDD I/Fに変換するバッファコントローラHDD bufferが接続される。上記メモリ制御ユニットMemory Control Unitからのバスと接続されて拡張RAM及び主記憶メモリとしての本発明に係るSDRAMが接続されている。拡張RAMも特に制限されないが、この発明に係るSDRAMにより構成される。

【0089】このパーソナルコンピュータシステムの動作の概略について説明する。電源が投入されて、動作を開始するとまず上記中央処理装置CPUは、上記ROMを上記I/Oバスを通してアクセスし、初期診断、初期設定を行なう。そして、補助記憶装置からシステムプログラムを主記憶メモリとしての本発明のDRAMにロードする。上記中央処理装置CPUは、上記I/Oバスを通してHDDコントローラにHDDをアクセスするものとして動作する。システムプログラムのロードが終了すると、ユーザの処理要求に従い、処理を進めていく。

【0090】ユーザは上記I/Oバス上のキーボードコ

ントローラKBDCや表示アダプタDisplay adapterにより処理の入出力を行ないながら作業を進める。そして、必要に応じてパラレルポートParallel Port I/F、シリアルポートSerial Port I/Fに接続された入出力装置を活用する。また、本体上の主記憶メモリとしての本発明に係るSDRAMでは主記憶容量が不足する場合は、拡張RAMにより主記憶を補う。また、図にはハードディスクドライブHDDとして記載したが、フラッシュメモリFEPROMを用いたフラッシュファイルに置き換えることも可能である。

【0091】このようなマイクロコンピュータシステムにおいて、中央処理装置CPUと接続されるバスは、及びコントロールユニットDRAM (SDRAM) と接続されるバスは、前記のようなGTLにより構成される。そして、これらはいずれもクロックに同期して信号の授受を行うようにされ、そのインターフェイスには前記実施例のようなクロック信号に同期して入力される各種入力信号は、クロック信号により間欠的に動作させられて低消費電力化が図られるものである。

【0092】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) クロック信号に同期して信号の入力又は出力が行われ、かつ外部に対しては電源電圧に対して小さな信号振幅にされた信号の授受を行うようにされた低振幅の入出力インターフェイスを持つ半導体集積回路装置において、外部から供給されるクロック信号を受ける入力回路としては実質的に定常的に動作させられる差動回路で取り込み、上記クロック信号に同期して入力される低振幅の入力信号を受ける入力回路については、差動回路を上記クロック信号により間欠的に動作させ、かかる差動回路が動作期間中は取り込まれた内部信号を上記内部クロック信号によりサンプリングし、差動回路の非動作期間中は上記サンプリングした信号をホールドさせることにより、低信号振幅に適用が可能で、消費電流を大幅に低減させた入力回路を得ることができるという効果が得られる。

【0093】(2) 上記(1)の半導体集積回路装置において、何も動作を行わない非動作モードをのときには上記第1の入力回路を構成する電流源MOSFET及び上記第2の入力回路を構成する電流源MOSFETを共にオフ状態にすることにより、かかる非動作モードでの低消費電力化を図ることができるという効果が得られる。

【0094】(3) 上記第2の入力回路として、入力取り込み制御信号の前半においてオン状態になって、上記低振幅の入力信号とそのほぼ中間電位にされた基準電圧とを取り込む第1の伝送ゲート回路と、上記入力信号と基準電圧に対応された一対のノードに入力と出力とが交差接続されてなるCMOSインバータ回路からなるラ

ッチ回路と、上記入力取り込み信号が発生される前に上記一対のノードを短絡して上記基準電圧に対応されたプリチャージ電圧を供給するプリチャージ回路と、上記入力取り込み制御信号の後半においてオン状態になって、ラッチ回路の出力信号を内部回路に伝える第2の伝送ゲート回路とを用いることにより、高感度及び低消費電力で、かつラッチ機能を持つ入力回路を得ることができるという効果が得られる。

【0095】(4) 上記第2の入力回路として、入力取り込み制御信号の前半においてオン状態になって、上記低振幅の入力信号とそのほぼ中間電位にされた基準電圧とを取り込む第1の伝送ゲート回路と、上記入力信号と基準電圧に対応された一対のノードにゲートが接続されてなる第1導電型の差動MOSFETと、上記第1導電型の差動MOSFETのドレイン側に設けられ、ゲートとドレインが交差接続されてなる第2導電型の負荷MOSFETと、上記入力取り込み信号が発生される前に上記第1導電型の差動MOSFETと第2導電型の負荷MOSFETのドレインが接続されてなる一対の出力ノードを短絡して上記基準電圧に対応されたプリチャージ電圧を供給するプリチャージ回路と、上記入力取り込み制御信号の後半においてオン状態になって、上記一対の出力ノードの信号を内部回路に伝える第2の伝送ゲート回路とを用いることにより、高感度及び低消費電力でかつラッチ機能を持つ入力回路を得ることができるという効果が得られる。

【0096】(5) クロック信号に同期して信号の入力又は出力が行われ、かつ外部に対しては電源電圧に対して小さな信号振幅にされた信号の授受を行うようにされた低振幅の入出力インターフェイスを持つ半導体集積回路装置において、上記低振幅の入力信号とかかる信号振幅のほぼ中間電位にされた基準電圧とがゲートとソース間に供給された第1導電型の一対の入力MOSFETと、かかる一対の入力MOSFETのドレインに設けられ、一方の入力MOSFETのドレイン電流に対応した電流を他方の入力MOSFETのドレインに供給する第2導電型のMOSFETからなる電流ミラー回路と、上記電流ミラー回路を構成する第2導電型のMOSFETのソースに動作電流を供給する電流源MOSFETとを用い、クロック信号を受けるものは定常的に動作させ、クロック信号に同期した入力信号を受けるものはクロック信号により間欠的に動作させる。この構成では、入力信号がMOSFETのゲートとソース間に供給されるから低振幅信号レベルが回路の接地電位又は電源電圧側に偏倚したものでも動作可能にできるという効果が得られる。

【0097】(6) 上記(5)の半導体集積回路装置において、何も動作を行わない非動作モードをのときには電流源MOSFETオフ状態にすることにより、かかる非動作モードでの低消費電力化を図ることができる

いう効果が得られる。

【0098】(7) シンクロナスダイナミック型RAMにこの発明を適用することにより、低消費電力化を図りつつ、GTL等の低振幅インターフェイスを実現することができるという効果が得られる。

【0099】(8) 半導体集積回路装置の外部から供給された外部クロック信号と上記外部クロック信号の信号振幅のほぼ中間電位とされる第1基準電圧とをそのゲートに受ける一対の差動MOSFETと、上記一対の差動MOSFETのそれぞれのソースドレイン経路に電流を流す電流源回路とを含み、上記外部クロック信号の信号振幅よりも大きな信号振幅を有する内部クロック信号を形成する第1入力回路と、上記半導体集積回路装置の外部から供給された外部入力信号と上記外部入力信号の信号振幅のほぼ中間電位とされる第2基準電圧と上記外部クロック信号にตอบสนองする制御信号とを受け、上記制御信号に基づいて上記外部入力信号をラッチするラッチ回路を含み、上記ラッチ回路は、上記入力信号の信号振幅よりも大きな信号振幅を有する内部信号を形成する第2入力回路とを用いることにより、低信号振幅に適用が

可能で、消費電流を大幅に低減させた入力回路を持つ半導体集積回路装置を得ることができるという効果が得られる。

【0100】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、SDRAMにおいてデータは8ビット単位で入出力するもの他、16ビット単位での入出力を行うようにしてもよい。また、これらのデータビット数や記憶容量に対応してアドレスの割り付けも種々の実施形態を取ることができるものである。この発明は、クロック信号に同期して入力信号の取り込みが行われる各種半導体集積回路装置に広く利用できるものである。

【0101】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、クロック信号に同期して信号の入力又は出力が行われ、かつ外部に対しては電源電圧に対して小さな信号振幅にされた信号の授受を行うようにされた低振幅の入出力インターフェイスを持つ半導体集積回路装置において、外部から供給されるクロック信号を受ける入力回路としては実質的に定常的に動作させられる差動回路で取り込み、上記クロック信号に同期して入力される低振幅の入力信号を受ける入力回路については、差動回路を上記クロック信号により間欠的に動作させ、かかる差動回路が動作期間中は取り込まれた内部信号を上記内部クロック信号によりサンプリングし、差動回路の非動作期間中は上記サンプリングした信号をホールドさせることにより、低信号振幅に適用が可能

で、消費電流を大幅に低減させた入力回路を得ることができる。

【0102】上記の半導体集積回路装置において、何も動作を行わない非動作モードをのときには上記第1の入力回路を構成する電流源MOSFET及び上記第2の入力回路を構成する電流源MOSFETを共にオフ状態にすることにより、かかる非動作モードでの低消費電力化を図ることができる。

【0103】上記第2の入力回路として、入力取り込み制御信号の前半においてオン状態になって、上記低振幅の入力信号とそのほぼ中間電位にされた基準電圧とを取り込む第1の伝送ゲート回路と、上記入力信号と基準電圧に対応された一対のノードに入力と出力とが交差接続されてなるCMOSインバータ回路からなるラッチ回路と、上記入力取り込み信号が発生される前に上記一対のノードを短絡して上記基準電圧に対応されたプリチャージ電圧を供給するプリチャージ回路と、上記入力取り込み制御信号の後半においてオン状態になって、ラッチ回路の出力信号を内部回路に伝える第2の伝送ゲート回路とを用いることにより、高感度及び低消費電力で、かつラッチ機能を持つ入力回路を得ることができる。

【0104】上記第2の入力回路として、入力取り込み制御信号の前半においてオン状態になって、上記低振幅の入力信号とそのほぼ中間電位にされた基準電圧とを取り込む第1の伝送ゲート回路と、上記入力信号と基準電圧に対応された一対のノードにゲートが接続されてなる第1導電型の差動MOSFETと、上記第1導電型の差動MOSFETのドレイン側に設けられ、ゲートとドレインが交差接続されてなる第2導電型の負荷MOSFETと、上記入力取り込み信号が発生される前に上記第1導電型の差動MOSFETと第2導電型の負荷MOSFETのドレインが接続されてなる一対の出力ノードを短絡して上記基準電圧に対応されたプリチャージ電圧を供給するプリチャージ回路と、上記入力取り込み制御信号の後半においてオン状態になって、上記一対の出力ノードの信号を内部回路に伝える第2の伝送ゲート回路とを用いることにより、高感度及び低消費電力でかつラッチ機能を持つ入力回路を得ることができる。

【0105】クロック信号に同期して信号の入力又は出力が行われ、かつ外部に対しては電源電圧に対して小さな信号振幅にされた信号の授受を行うようにされた低振幅の入出力インターフェイスを持つ半導体集積回路装置において、上記低振幅の入力信号とかかる信号振幅のほぼ中間電位にされた基準電圧とがゲートとソース間に供給された第1導電型の一対の入力MOSFETと、かかる一対の入力MOSFETのドレインに設けられ、一方の入力MOSFETのドレイン電流に対応した電流を他方の入力MOSFETのドレインに供給する第2導電型のMOSFETからなる電流ミラー回路と、上記電流ミラー回路を構成する第2導電型のMOSFETのソース

に動作電流を供給する電流源MOSFETとを用い、クロック信号を受けるものは定常的に動作させ、クロック信号に同期した入力信号を受けるものはクロック信号により間欠的に動作させる。この構成では、入力信号がMOSFETのゲートとソース間に供給されるから低振幅信号レベルが回路の接地電位又は電源電圧側に偏倚したもので動作可能にできる。

【0106】上記の半導体集積回路装置において、何も動作を行わない非動作モードをのときには電流源MOSFETオフ状態にすることにより、かかる非動作モードでの低消費電力化を図ることができる。

【0107】シンクロナスダイナミック型RAMにこの発明を適用することにより、低消費電力化を図りつつ、GTL等の低振幅インターフェイスを実現することができる。

【0108】半導体集積回路装置の外部から供給された外部クロック信号と上記外部クロック信号の信号振幅のほぼ中間電位とされる第1基準電圧とをそのゲートに受ける一対の差動MOSFETと、上記一対の差動MOSFETのそれぞれのソースドレイン経路に電流を流す電流源回路とを含み、上記外部クロック信号の信号振幅よりも大きな信号振幅を有する内部クロック信号を形成する第1入力回路と、上記半導体集積回路装置の外部から供給された外部入力信号と上記外部入力信号の信号振幅のほぼ中間電位とされる第2基準電圧と上記外部クロック信号に応答する制御信号とを受け、上記制御信号に基づいて上記外部入力信号をラッチするラッチ回路を含み、上記ラッチ回路は、上記入力信号の信号振幅よりも大きな信号振幅を有する内部信号を形成する第2入力回路とを用いることにより、低信号振幅に適用が可能で、消費電流を大幅に低減させた入力回路を持つ半導体集積回路装置を得ることができる。

【図面の簡単な説明】

【図1】この発明に係る半導体集積回路装置における入力回路の一実施例を示す概略ブロック図である。

【図2】図1の入力回路DIFC1の一実施例を示す回路図である。

【図3】図1の入力回路DIFC2の一実施例を示す回路図である。

【図4】図1の入力回路DIFC2の他の一実施例を示す回路図である。

【図5】この発明に係る入力回路の動作を説明するためのタイミング図である。

【図6】図1の入力回路DIFC2の他の一実施例を示す回路図である。

【図7】図6に示した入力回路DIFC2の動作を説明するためのタイミング図である。

【図8】この発明をシンクロナスダイナミック型RAMに適用した場合の入力回路の一実施例を示す概略ブロック図である。

【図9】この発明が適用されるシンクロナスDRAMの一実施例を示すブロック図である。

【図10】この発明が適用されるSDRAMのリードサイクルの一例を説明するためのタイミング図である。

【図11】この発明が適用されるSDRAMのライトサイクルの一例を説明するためのタイミング図である。

【図12】この発明が適用されるSDRAMの他の一実施例を示す入力部のブロック図である。

【図13】図12に示した入力回路の動作を説明するためのタイミング図である。

【図14】この発明が適用されるGTL回路を説明するための概略ブロック図である。

【図15】この発明が適用される低振幅インターフェイスの代表的な例を説明するためのレベル設定図である。

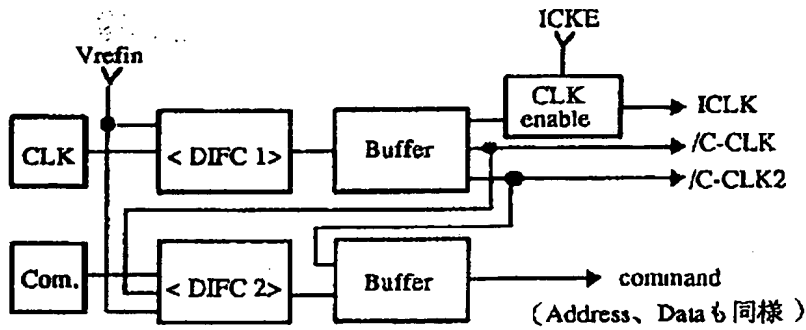
【図16】この発明が適用されたSDRAMを用いたパーソナルコンピュータシステムの一実施例を示す構成図である。

【符号の説明】

DIFC1…第1の入力回路、DIFC2…第2の入力回路、Buffer…バッファ回路、G1…ゲート回路、Q1～Q6…MOSFET、1…クロック入力バッファ、2…アドレス入力バッファ、3…データ入力バッファ、4…データ出力バッファ、5…モードデコーダ、6…ラスコントロール回路、7…ロウ系アドレスカウンタ、8…カラム系アドレスカウンタ、9…バンクコントロール回路、10…ロウ系アドレスプレデコーダ、11…ロウ系冗長回路、12…カラム系アドレスプレデコーダ、13…カラム系冗長回路、22…SDRAM、30…モードレジスタ、200A、200B…メモリアレイ、201A、201B…ロウデコーダ、202A、202B…センスアンプ及びカラム選択回路、203A、203B…カラムデコーダ、205…カラムアドレスバッファ、206…ロウアドレスバッファ、207…カラムアドレスカウンタ、208…リフレッシュカウンタ、210…入力バッファ、211…出力バッファ、212…コントローラ、CPU…中央処理装置、DP…ディスプレイ、FDD…フロッピーディスクドライブ、FD…フラッピディスク、file M…ファイルメモリ、KB…キーボード、KBDC…キーボードコントローラ、HDD…ハードディスクドライブ。

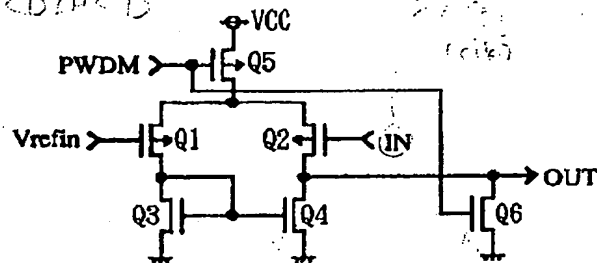
【図1】

図1



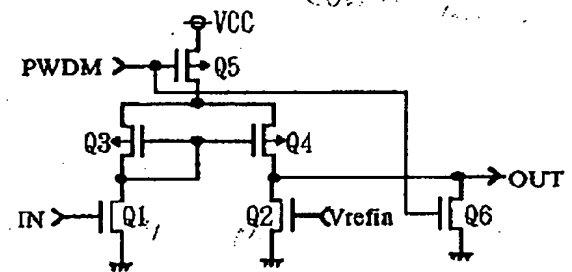
【図2】

図2 <DIFC 1>



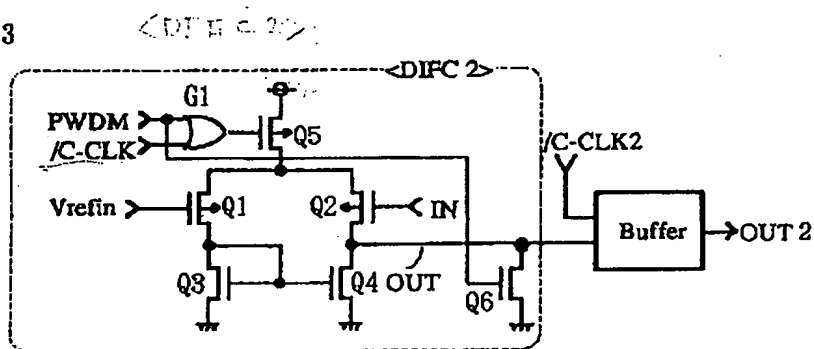
【図4】

図4



【図3】

図3



【図7】

【図14】

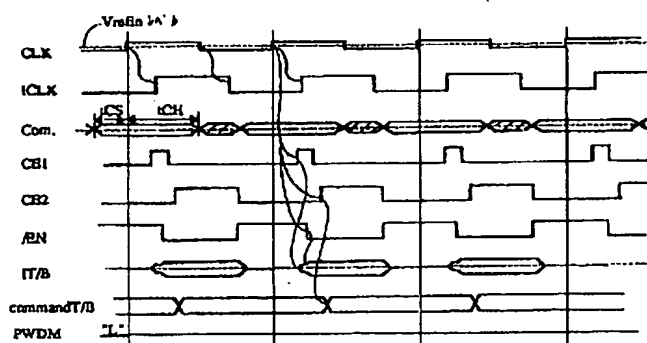
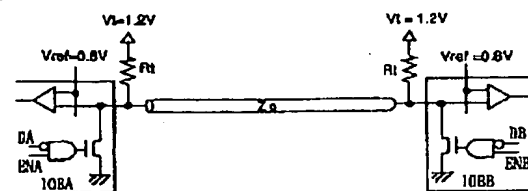
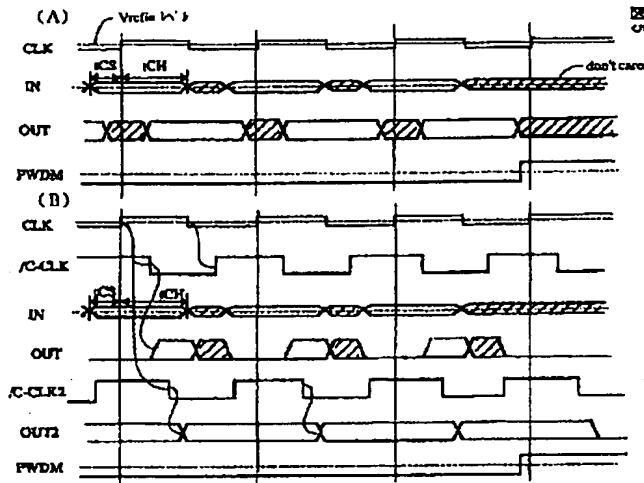


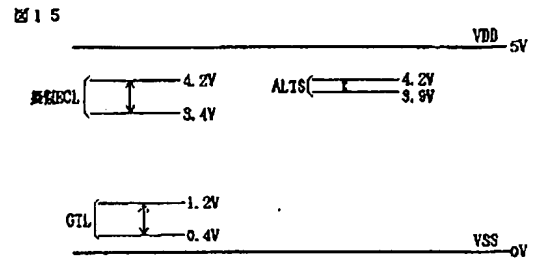
図14



【図 5】

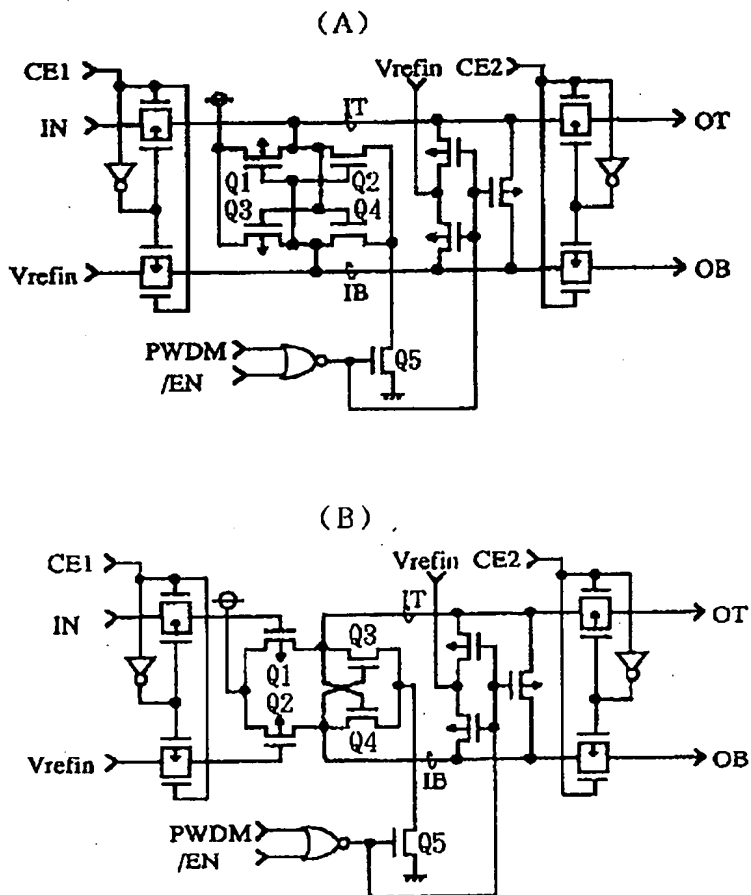


【図 15】

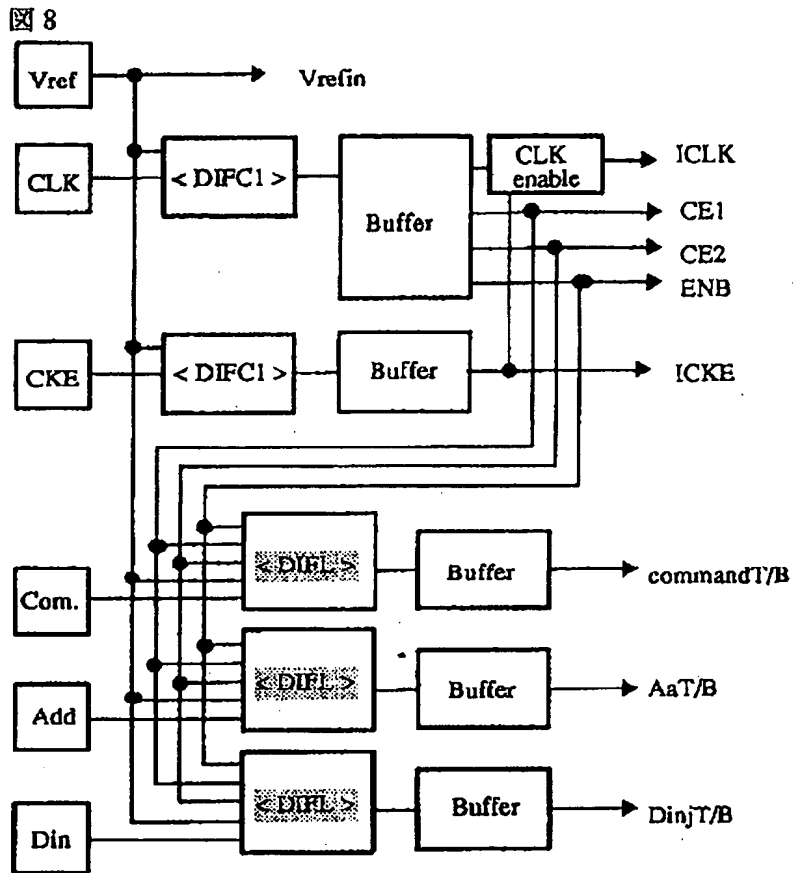


【図 6】

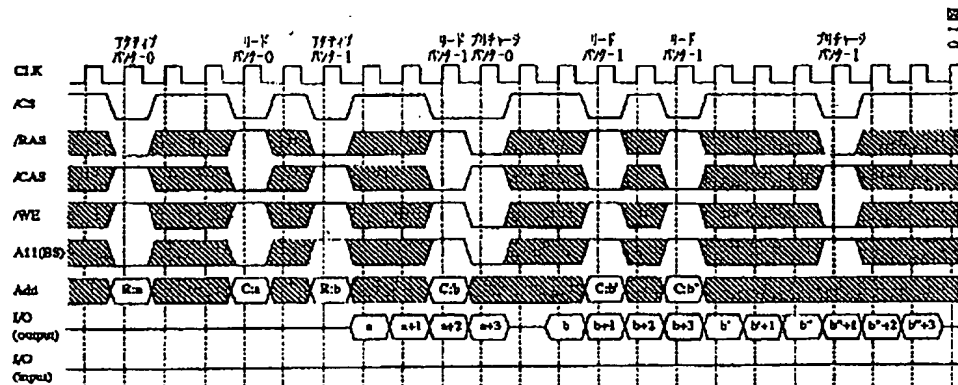
図 6



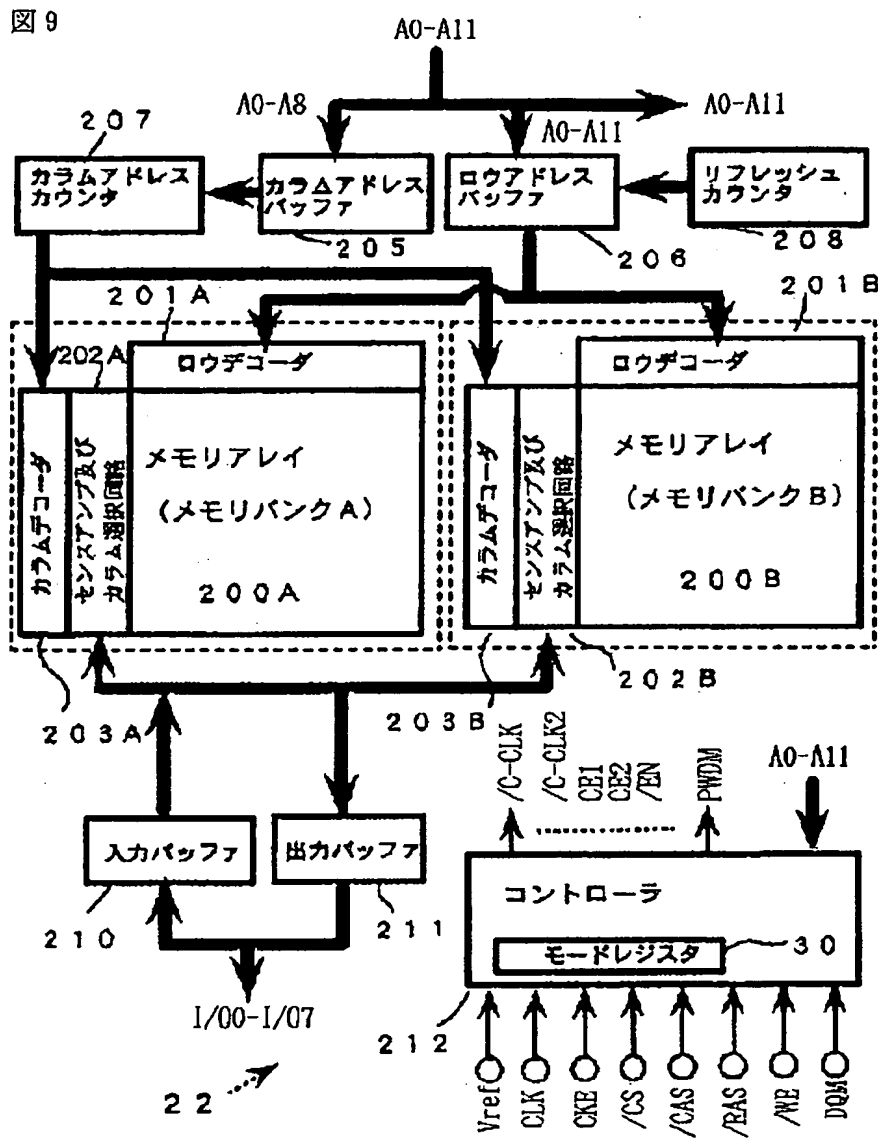
【図 8】



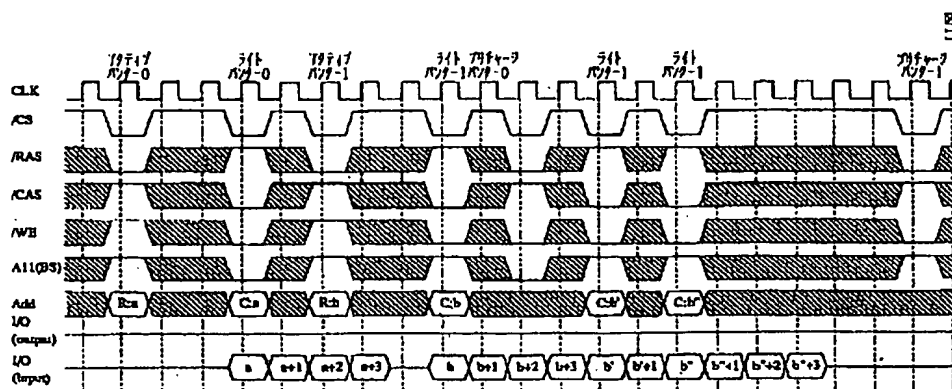
【図 10】



【図 9】



【図 11】



【図 1 2】

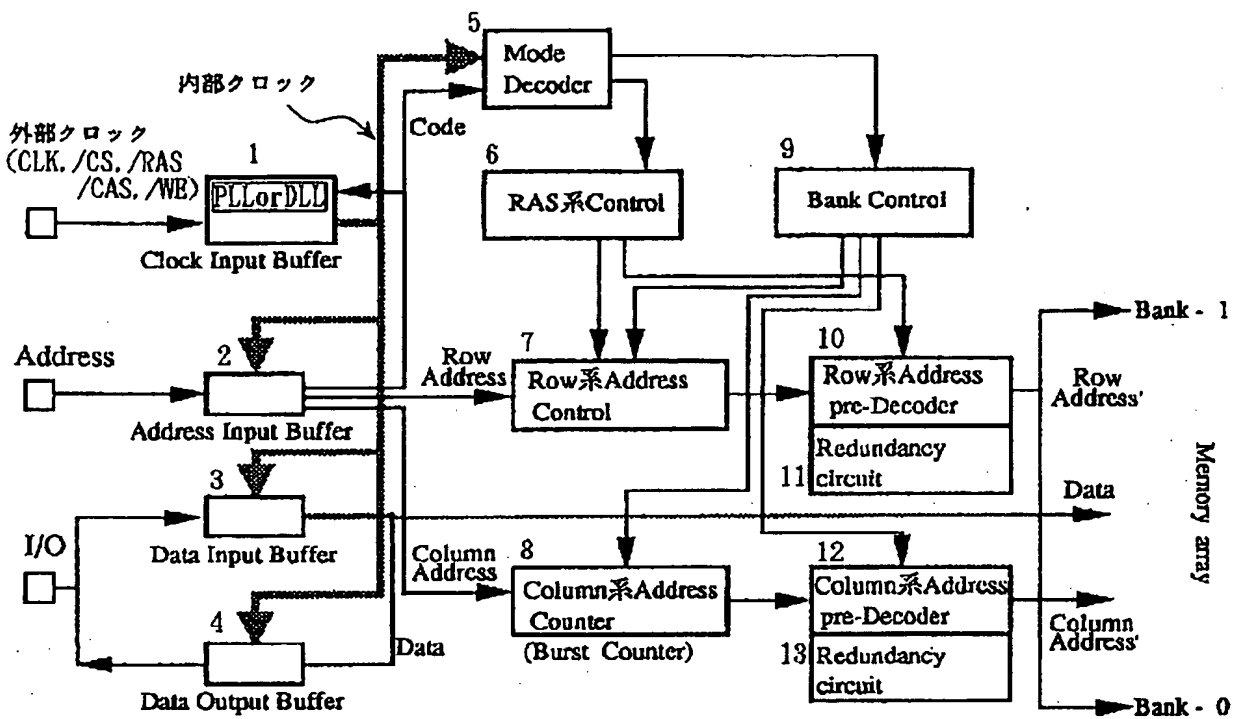


図 1 2

【図 1 3】

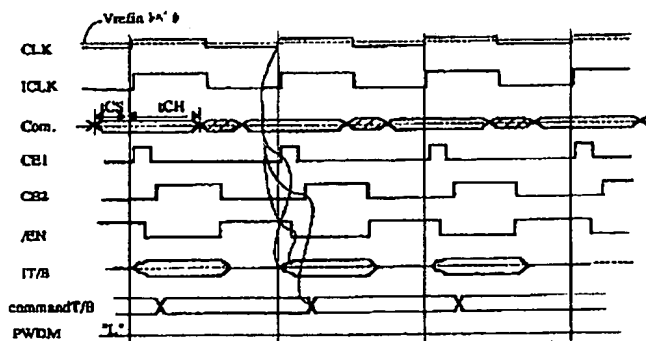


図 1 3

【図 1 6】

図 1 6

